

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-107351

(43)Date of publication of application : 23.04.1996

(51)Int.Cl.

H03L 7/10  
H03K 3/03  
H03K 3/354  
H03L 7/099

(21)Application number : 06-242895

(71)Applicant : ASAHI KASEI MICRO SYST KK

(22)Date of filing : 06.10.1994

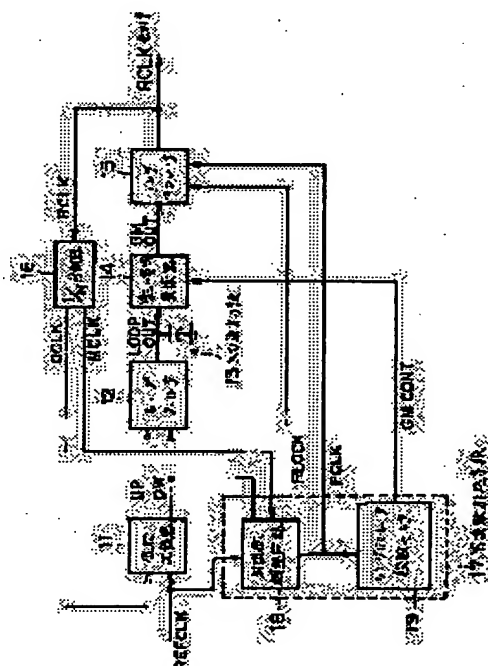
(72)Inventor : KUNISHI MASATOSHI

## (54) PLL CIRCUIT AND ITS FREQUENCY LOCK METHOD

## (57)Abstract:

**PURPOSE:** To solve a problem of deterioration in the characteristic due to jitter, to attain a wide lock range and to attain a high speed frequency pull-in by suppressing a sudden change in a gain caused by changing the ring oscillator steps.

**CONSTITUTION:** The circuit is provided with an input set means 13 setting an input of a ring oscillator 15 to a prescribed value, an initial reset means setting the ring oscillator 15 to a maximum stage number and selecting a set signal from the input set means 13 to the input of the reset means, and a frequency adjustment circuit 18 counting the number of down-pulses from a phase comparator 11 for a prescribed period, decreasing one stage of stage number of the ring oscillator 15 on each occasion when the count does not reach a preset value, locking the stage number of the ring oscillator 15 when the count reaches a preset count and selecting a signal from a loop filter for the input.



## LEGAL STATUS

[Date of request for examination] 06.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3317794

[Date of registration] 14.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107351

(43) 公開日 平成8年(1996)4月23日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 L 7/10

H 0 3 K 3/03

3/354

B

H 0 3 L 7/10

Z

7/08

F

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平6-242895

(22) 出願日 平成6年(1994)10月6日

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

(72) 発明者 國司 昌利

神奈川県厚木市栄町1丁目1番3号 旭化

成マイクロシステム株式会社内

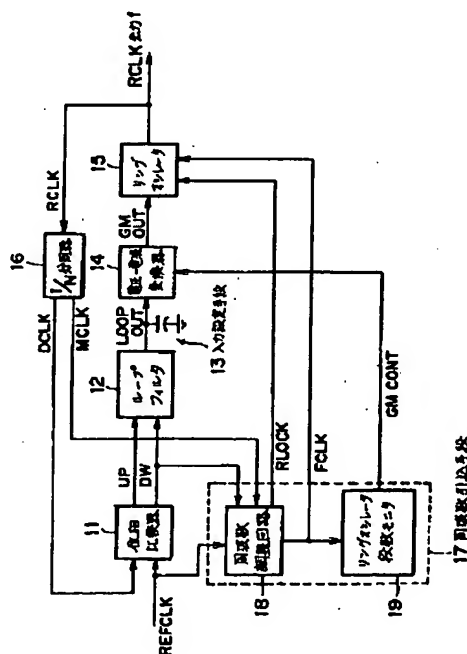
(74) 代理人 弁理士 谷 義一

(54) 【発明の名称】 PLL回路およびその周波数引込方法

(57) 【要約】

【目的】 リングオシレータの段数が変化することによって生ずるゲインの急激な変化をおさえることで、ジッターによる特性劣化を解決し、広いロックレンジを達成し、かつ周波数引き込みを高速化すること。

【構成】 このPLL回路は、リングオシレータ15の入力を所定値に設定する入力設定手段13と、リングオシレータ15を最大段数に設定すると共にその入力に入力設定手段13からの設定信号に切り換える初期リセット手段と、所定期間毎の位相比較器11のダウンパルスをカウントし、そのカウント値が予め設定された値に達しないときにはその都度リングオシレータ15の段数を1段減少させ、そのカウント値が予め設定された値に達したときにはリングオシレータ15を段数ロックすると共にその入力をループフィルタからの信号に切り換える周波数調整回路18とを備えている。



## 【特許請求の範囲】

【請求項1】 位相比較器、ループフィルタおよび段数可変のリングオシレータを有するPLL回路において、前記リングオシレータの入力を所定値に設定する入力設定手段と、

前記リングオシレータを最大段数に設定すると共にその入力に前記入力設定手段からの設定信号に切り換える初期リセット手段と、

所定期間毎の前記位相比較器のダウンスをカウントし、そのカウント値が予め設定された値に達しないときはその都度前記リングオシレータの段数を1段減少させ、そのカウント値が予め設定された値に達したときには前記リングオシレータを段数ロックすると共にその入力をループフィルタからの信号に切り換える周波数引込手段とを備えていることを特徴とするPLL回路。

【請求項2】 前記リングオシレータの使用段数に比例して該リングオシレータに供給される入力を制限する入力制限手段が設けられていることを特徴とする請求項1に記載のPLL回路。

【請求項3】 前記リングオシレータの各段が電流一定の差動形インバータにより構成されていることを特徴とする請求項1または2に記載のPLL回路。

【請求項4】 前記リングオシレータにおける減少されて使用しない段の消費電流を減少する消費電流減少手段が設けられていることを特徴とする請求項1～3のいずれかに記載のPLL回路。

【請求項5】 前記ループフィルタと前記リングオシレータの間に電圧-電流変換器が設けられていることを特徴とする請求項1～4のいずれかに記載のPLL回路。

【請求項6】 位相比較器、ループフィルタおよび段数可変のリングオシレータを有するPLL回路の周波数引込方法において、

前記リングオシレータを最大段数に設定すると共に該リングオシレータの入力を所定値に固定してPLL回路をスタートさせた後、

該リングオシレータの段数を所定期間毎に次々と減少させてその出力周波数を上昇させて、その出力周波数の値が基準周波数を超える値まで上昇したときに前記段数の減少を停止すると共に、

該リングオシレータの入力を前記ループフィルタの出力に切り換えることを特徴とするPLL回路の周波数引込方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、PLL (Phase Locked Loop: 位相同期) 回路およびPLL回路の周波数引込方法に関し、さらに詳しくは入力信号に同期化した安定な周波数信号の抽出および入力信号の位相検出に利用できる、網同期発振器、デジタル伝送におけるクロック抽出器、FM (PM) 検波器等に適用可

能なPLL回路およびその周波数引込方法に関する。

## 【0002】

【従来の技術】 従来からPLL回路の応用のひとつにクロックの逡倍がある。PLL回路の電流制御発振器 (IC) または電圧制御発振器 (VCO) にマルチバイブレータを使用している場合、その発振周波数は内蔵容量Cとそれを充電する電流Iとによって決まる。高い周波数で発振させるためには、Cを小さくするか、またはIを大きくするかの手段をとらなくてはならないが、Cを小さくすると発振のばらつき等の点で問題が生じる。一方、Iを大きくすると消費電流の点で問題が生ずる。そのため、高い周波数で発振させることが必要な場合、マルチバイブレータのかわりにリングオシレータ (リング発振器) を使用することが考えられる。リングオシレータの発振周波数はそれを構成するインバータの総遅延時間で発振周波数が決まることから、リングオシレータを用いたシステムを一般にDelayed Lock Loop (DLL) 回路 (遅延同期回路) と呼ばれている。

【0003】 図13に示すように、従来のDLL回路はPLL回路と同様に位相比較器1とループフィルタ2を有し、段数固定のリングオシレータ3および分周器4から構成されている。リングオシレータ3は、その段数が少なくなるほど自走周波数が速くなるという特徴をもち、設計の際その段数の決定が重要なポイントとなる。従来技術では段数固定のリングオシレータであるため、発振周波数はリングオシレータの制御電圧 (または電流) でのみ制御していた。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上述のような従来技術ではリングオシレータの段数が固定なので入力信号の周波数範囲が狭い範囲に限られるという欠点を有していた。それゆえ、プロセスや温度の変動でリングオシレータを構成するインバータの遅延が変化するので、ロックすべき周波数の制御範囲を越えるケースがあり、設計しづらい面があった。

【0005】 さらに、幅広いロックレンジをもたせようとする、リングオシレータのゲインが大きくなるため、システムの入力感度が高くなり、ジッターが問題になる場合があった。

【0006】 一方、特開平3-259619号公報には、位相比較器、ループフィルタおよび段数可変のリングオシレータを有するPLL回路が記載されている。その特徴とするところは、リングオシレータの段数をその入力電圧により選択する段数選択器を設け、高い周波数を出力するときは段数を少なくすることにある。それによりリングオシレータの発振を安定させると共に、位相ジッタ、低周波数時の発振波形のなまり等を抑制しようとするものである。しかし、この提案のPLL回路の周波数引込方法は通常のやり方であるため、引き込みの速

度もそれほど高いものではない。また、周波数引込後においてノイズ等により段数に変化するおそれがあるという解決すべき課題があった。

【0007】本発明は、上述の点に鑑みてなされたもので、その目的とするところは、従来技術では狭い範囲に限られていたロックレンジをプロセスや温度によらず広げることができ、さらにリングオシレータの段数に変化することによって生ずるゲインの急激な変化をおさえることにより、入力感度が高くなることを抑えてジッターによる特性劣化を解決したPLL回路を提供することにある。

【0008】また、本発明の目的は、システム内に周波数調整回路を組み入れることにより、PLLシステムの最適段数を決定し、周波数はループフィルタの容量によらず周波数調整回路のアーキテクチャーに従う期間でラフに引き込むことから周波数引き込みを高速化することのできるPLL回路の周波数引込方法を提供することにある。

【0009】また、本発明の目的は、リングオシレータを低ノイズ化することにより、デジタル・アナログ混在のLSI（大規模集積回路）に使用できるPLL回路を提供することにある。

【0010】また、本発明の目的はロックする周波数が大きくなっても消費電流が大きくならないという特徴をもつPLL回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明のPLL回路は、位相比較器、ループフィルタおよび段数可変のリングオシレータを有するPLL回路において、前記リングオシレータの入力を所定値に設定する入力設定手段と、前記リングオシレータを最大段数に設定すると共にその入力に前記入力設定手段からの設定信号に切り換える初期リセット手段と、所定期間毎の前記位相比較器のダウンスパルスをカウントし、そのカウント値が予め設定された値に達しないときにはその都度前記リングオシレータの段数を1段減少させ、そのカウント値が予め設定された値に達したときには前記リングオシレータを段数ロックすると共にその入力をループフィルタからの信号に切り換える周波数引込手段とを備えていることを特徴とする。

【0012】また、本発明は好ましくはその一態様として、前記リングオシレータの使用段数に比例して該リングオシレータに供給される入力を制限する入力制限手段が設けられていることを特徴とすることができる。

【0013】また、本発明は好ましくは他の態様として、前記リングオシレータの各段が電流一定の差動形インバータにより構成されていることを特徴とすることができる。

【0014】また、本発明は好ましくは他の態様として、前記リングオシレータにおける減少されて使用しな

い段の消費電流を減少する消費電流減少手段が設けられていることを特徴とすることができる。

【0015】また、本発明は好ましくは他の態様として、前記ループフィルタと前記リングオシレータの間に電圧-電流変換器が設けられていることを特徴とすることができる。

【0016】また、本発明のPLL回路の周波数引込方法は、位相比較器、ループフィルタおよび段数可変のリングオシレータを有するPLL回路の周波数引込方法において、前記リングオシレータを最大段数に設定すると共に該リングオシレータの入力を所定値に固定してPLL回路をスタートさせた後、該リングオシレータの段数を所定間隔毎に次々と減少させてその出力周波数を上昇させて、その出力周波数の値が基準周波数を超える値まで上昇したときに前記段数の減少を停止すると共に、該リングオシレータの入力を前記ループフィルタの出力に切り換えることを特徴とする。

【0017】

【作用】本発明では、入力クロックの周波数とリングオシレータから出力されるクロックの周波数を比較して、最適のリングオシレータの段数を決定する機能を持つ周波数引込手段である周波数調整回路と、各出力段にスイッチを設けて任意の段数で発振できる様にしたリングオシレータとを組み合わせることにより、広いロックレンジと高速周波数引き込みを可能にしている。さらに、リングオシレータをカレントコンスタントな全差動のインバータを用いることによりPLL回路の低ノイズ化を実現している。

【0018】周波数調整回路からの制御信号を、不用になったリングオシレータ中のインバータをパワーダウンスする信号として活用することにより、消費電流の増加をおさえることが可能となるので、低消費電流で高い発振周波数が得られる。

【0019】周波数調整回路からの制御信号を受けてリングオシレータの段数を監視する機能をもつリングオシレータ段数モニター回路から段数の情報を得て、リングオシレータへ供給する電流量を制御することにより、システムの入力感度が高くなることをおさえている。

【0020】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0021】図1は本発明の一実施例のPLL回路の構成を示す。図1において、11は位相比較器、12はループフィルタ、13は入力設定手段、14は電圧-電流変換器、15はリングオシレータおよび16は1/N分周器である。また、17は周波数引込手段であり、周波数調整回路18とリングオシレータ段数モニター19から構成される。また、図1中の信号の内容は下記の表の通りである。

【0022】

【表1】

REF CLK	参照クロック (基本周波数, 引込周波数)
UP	周波数アップ信号 (アップパルス)
DW	周波数ダウン信号 (ダウンパルス)
LOOK OUT	ループフィルタからの出力信号
RLOCK	リングオシレータの段数固定信号 (段数ロック信号)
FCLK	フレームクロック (段数減少信号)
RCLK	リングオシレータから出力されるクロック (出力周波数)
GM OUT	ループフィルタの出力をV-Iに変換した信号
MCLK	マスタークロック
GM CONT	電圧-電流変換器のGMコントロール信号

本発明のPLL回路の主たる特徴は高速で周波数引き込みができる点である。この点を含めて実施例の全体動作を図1のブロック図と図2の周波数引き込み動作チャートにより説明する。

#### 【0023】(1) 基本作用

①スタート時に自動リセット操作により、リングオシレータ15は最大段数に設定されると共に、リングオシレータ15は入力設定手段13にその入力切り換えられ

る。  
【0024】入力設定手段13に設定される電圧値は例えば $3/5 V_{DD}$ であり、その値はリングオシレータ15が中間の適当な段数のとき、引込周波数(基準周波数REFCLK)よりわずかに高い出力周波数(RCLK)を出すレベルである。しかし、最大段数においてはその値による出力周波数は基準周波数よりも大幅に低くなる。

【0025】②周波数引込手段17の周波数調整回路18は所定期間毎のダウンパルスDWをカウントし、それが予め設定した値に達しないときは、その都度リングオシレータ15の段数を1段下げるパルス(FCLK)を出した後リセットし、再びダウンパルスのカウントを開始する。また所定期間毎のダウンパルスが予め設定した値に達したときは、リングオシレータ15を段数ロックする信号(RLOCK)を出すと共に、その入力をループフィルタ12からの信号に切り換える。

【0026】スタート時はリングオシレータ15の出力周波数が対応する基準周波数よりも低いので、位相比較器11からアップパルスUPのみ出力される。従って、周波数引込手段17から所定期間毎に段数減少信号FCLKが出力されて、図2に示すようにリングオシレータ15の段数が減少していき、それに伴って出力周波数は上昇する。

【0027】③出力周波数RCLKが基準周波数REFCLKを超える付近から、位相比較器11からダウンパルスDWが出始める。そして、そのダウンパルスDWが所定期間内(例えば、基準周波数32クロック)に予め設定した値(例えば、8ダウンクロック)に達したとき、周波数引込手段17からRLOCK信号が出力されて

リングオシレータ15の段数がロックされ、その入力がループフィルタ12側に切り換わり、周波数引き込みが行われる。しかし、このときリングオシレータ15の出力周波数は引込周波数よりわずかに高い値であるため、ラフな引き込みとなる。そして、それ以降は位相比較器11の通常的作用により基準周波数に対応する出力周波数にロックされる。

#### 【0028】(2) その他

④周波数引込手段17において、所定期間毎のダウンパルスDWを予め設定した値に達するか否か検出するのは、リングオシレータ15の出力周波数が基準周波数に近いとき、出力周波数が基準周波数よりも低いときでもダウンパルスが出たり、アップ-ダウンの交互パルスが出るときがあるため、1個のダウンパルスでは誤動作するおそれがあるためであり、バッファ作用として複数、例えば8個のダウンパルスをカウントして初めてロック信号を出している。

【0029】⑤リングオシレータ15は電圧-電流変換器(V-I)14を介してループフィルタ12に接続されている。しかし、リングオシレータ15が電圧入力動作するタイプのもの、またはその入力部に電圧-電流変換手段を有している場合には、この電圧-電流変換器14を省略することができることは勿論である。

【0030】⑥本発明の実施例では電圧-電流変換器14を設けており、その入力側において入力設定手段13が切り換えられている。この例において引き込み前で入力設定手段13が接続されているときは、リングオシレータ15の入力値はループフィルタ12の出力に関係なくその設定値に固定される。そして、引き込み動作(RLOCK信号)が行われた直後は、その設定値レベルがループフィルタ12のコンデンサに蓄積されているので、そのレベルから通常のPLL動作に移るので、切り換えに伴う不連続性がないという利点がある。

【0031】しかしこの例においても、リングオシレータ15の入力部に直接電流源からの電流設定値を入力することもでき、その場合においてもリングオシレータ15の入力部の容量如何によりスムーズに移ることが可能である。

【0032】次に、図1の各回路の内部を詳細に説明する。

【0033】①位相比較器11と周波数調整回路18  
REFCLKとRCLKの周波数を位相比較器11により決められた期間内で比較して、REFCLKの周波数の方が高かったならば、リングオシレータ15の段数をひとつ減らし、一方REFCLKの周波数の方が低かったならば、リングオシレータ15の段数をそこで固定するというアーキテクチャーで動作する周波数調整回路18をシステム内に組み込むことにより、最適のリングオシレータの段数を選択することを可能としている。周波数調整回路18が動作している間、リングオシレータ15の動作スピードを変える制御電圧（または制御電流）GM OUTはある値に固定される。

【0034】図3は図1の位相比較器11の構成例を示し、図4は図1の周波数調整回路18の構成例を示し、また、図5はこれら回路の入出力信号のタイミングを示す。

【0035】図3に示す位相比較器11は基本周波数REFCLKに比べてDCLKの周波数が速いか、または位相が進んでいるときに、DW信号がアクティブになり、一方DCLKの周波数が遅いかまたは位相が遅れているときにUP信号がアクティブになる回路である。

【0036】図4に示すDW8カウントブロック182は位相比較器11からのDW信号をカウントするブロックで、8個DW信号を数えた時点でリングオシレータ15の段数を変えるクロック（FCLK）がディセーブル（disable）され、RLOCKはイネーブル（enable）される。DW8カウントブロック182は複数のフリップフロップから成り、MCLKはREFCLKより高い周波数のマスタクロックである。REFCLK32カウントブロック181はREFCLKを32個数えるブロックで、この32クロックでREFCLKとDCLKの周波数を測定する期間を作っている。

【0037】すなわち、32クロック間にDW信号が8未満なら、フレームクロックを加えて、1段減らして、次のリングオシレータ15の段数にし、一方フレーム期間内でDW $\geq$ 8になる場合は、DW信号を8個数えた時点で、RLOCKを出力し、リングオシレータの段数を固定する様に周波数調整回路18は機能する。

【0038】②ループフィルタ12

図6に示すように、ループフィルタ12は、位相比較器11からのUP/DW信号をリングオシレータ15の制御電圧に変換するブロックである。ループフィルタ12は、UP信号がアクティブであるとき、SW1がONして、電流I<sub>UP</sub>がコンデンサC<sub>loop</sub>を充電する。DW信号がアクティブであるときには、SW2がONして電流I<sub>DW</sub>がコンデンサC<sub>loop</sub>を放電する。以上の様にして電流をUP/DW信号によりリングオシレータ15の制御電圧LOOP OUTに変換できる。

【0039】③電圧-電流変換器14

電圧-電流変換器14は、制御電圧LOOP OUTを制御電流GM OUTに変換する機能をもつ回路である。その回路図は⑥で後述の図10に示す。また、その電圧-電流変換器14の出力特性を図11に示す。

【0040】④リングオシレータ15

次に、リングオシレータ15の機能について説明する。本実施例では図7に示すような11段リングオシレータ15を採用した。リングオシレータ15は、電流一定のインバータ151で構成されているので、低ノイズが期待できる。図8はそのインバータ151の構成例である。

【0041】リングオシレータ15は、リセット時はSW11のみがONで、その他のSW（スイッチ）はOFFとなり、11段リングオシレータを構成している。

【0042】リセットが解除されると11段リングオシレータの状態から発振を開始する。フレームクロックFCLKによりシフトレジスタ150のデータが変化して、ONするSWの位置が変わる。その結果、リングオシレータの段数が変わることになる。なお、段数が変わリリングオシレータとしては不用になったインバータ（8段リングオシレータの場合、9～11段目のインバータ）はパワーダウン監視用シフトレジスタを用意すれば、そこからの信号でパワーダウンさせることができる。このため、周波数が高くなっても消費電流は大にならないという利点が生まれる。

【0043】⑤1/N分周器16

1/N分周器16のブロックの機能について説明する。本実施例ではN=32を採用した。図9に示すように分周器16は1/8分周器161と1/4分周器162を有し、この分周器16でリングオシレータ15から出力されるクロックRCLKを1/8分周してマスタクロック（MCLK）を作り、さらにそれを1/4分周してDCLKを作っている。

【0044】⑥リングオシレータ段数モニタ19

図10に示すようにリングオシレータ段数モニタ19は、リングオシレータ15の段数を監視するとともに、その段数で必要なdI/dVを電圧-電流変換器14に与える機能をもつ。即ち、4ビットカウンタ191を用いてカウント出力の2ビットのみを使用し、この2ビット信号で電圧-電流変換器14のゲインを変えている。

【0045】リングオシレータ段数モニタ19の上記機能によりリングオシレータ15の段数が増えることによって生ずる急激なゲイン（dFreq./dI）の上昇をおさえることができる。これは、リングオシレータ15の入力感度を下げることと等価である。すなわち、ノイズがリングオシレータ15に混入してもそのゲインはリングオシレータ段数モニタ19からの信号GM OUTにより抑圧されるので、ジッタを生じさせにくくすることができる。

【0046】(システム動作) 次に、図12のフローチャートを参照して本実施例のPLL回路のシステム動作を説明する。あるクロックにロックさせる前に必ずリセット状態にする(S0)。この時、リングオシレータ15は最大段数(例えば11段リングオシレータである場合は11段)であり、Loop outの電位は基準電圧源 $V_{ref}$ からの出力である(S1)。

【0047】RLOCK=Hになるまで、例えばその基準電位が $3/5 V_{DD}$ である場合、Loop out= $3/5 V_{DD}$ のまま固定となり、 $V_{ref} = 1/2 V_{DD}$ 、Loop out= $3/5 V_{DD}$ の条件で、位相比較器11でREFCLKとDCLKの周波数が比較されることになる。RLOCK=Lの期間はループフィルタ12に付いている容量がどんなに大きくとも、その容量によらず周波数をラフに引き込むことができる。本実施例では32REFCLKを1フレームとしてDWの個数をカウントする(S2)。

【0048】現フレームでDW<8ならば(S3)、次のフレームではリングオシレータ15の段数を1つ減らし(S4)、DWをカウントするカウンタ182をリセットして(S2)、再度DWの個数を数える。

【0049】DW=8になった時点で(S3)、即座にRLOCK=Hとなり、リングオシレータ15の段数は固定となる。そしてLoop outはループフィルタ12からの出力に切り替わり、通常の引き込み動作になる。ループフィルタ12に付いている容量はRLOCK=Hの期間に $3/5 V_{DD}$ に充電されており、通常引き込み動作はLoop out= $3/5 V_{DD}$  (基準電位が $3/5 V_{DD}$ である場合) から開始することになる(S6)。

【0050】なお、リングオシレータ15の段数が2段になってもDW<8である場合は、現条件(2段で $V_{ref} = 1/2 V_{DD}$ かつLoop out= $3/5 V_{DD}$ )はロックできない(S5)。

【0051】以上の説明でラフな周波数引き込みに必要な最大時間は

【0052】

【数1】 $32 \text{ REFCLK} \times 9 = 288 \text{ REFCLK}$ となる。これはループフィルタ12の容量の大きさによらない。DW=8となったとき、RLOCK=Hと設定した理由は、REFCLKとDCLKの位相の関係でDCLKの周波数が低くてもDWが出る場合があるので、これを排除するためである。

【0053】

【発明の効果】以上説明したように、本発明によれば、周波数引込手段である周波数調整回路と段数可変なリングオシレータを組み合わせているので、広いロックレンジかつ高速動作での周波数引き込みを得ることができる。さらに、ループフィルタの容量によらずある決まったクロック数で周波数を速く引き込むことができる。

【0054】また、本発明では、リングオシレータを構成するインバータをカレントコンスタントな全差動インバータを用いることにより低ノイズ化を実現できる。さらに、不用なインバータをパワーダウンすることにより高速動作時でも低消費電流での発振を可能となる。さらに、リングオシレータ段数モニタからの信号で $dI/dV$  (GM) を制御することにより、PLL回路の入力感度をおさえ、ノイズによって生ずるジッターを防止できる。

【図面の簡単な説明】

【図1】本発明の一実施例のPLL回路の全体の構成を示すブロック図である。

【図2】図1の本発明の一実施例の動作を示すタイミングチャートである。

【図3】図1の位相比較器の構成例を示す回路図である。

【図4】図1の周波数調整回路の構成例を示す回路図である。

【図5】図4の周波数調整回路の動作を示すタイミングチャートである。

【図6】図1のループフィルタの構成例を示す回路図である。

【図7】図1のリングオシレータの構成例を示す回路図である。

【図8】図7のリングオシレータのインバータの構成例を示す回路図である。

【図9】図1の1/N分周器の構成例を示すブロック図である。

【図10】図1の電圧-電流変換器およびリングオシレータ段数モニタの構成例を示す回路図である。

【図11】図10の電圧-電流変換器の出力特性を示すグラフである。

【図12】本発明の一実施例のPLL回路の動作手順を示すフローチャートである。

【図13】従来のPLL回路の構成を示すブロック図である。

【符号の説明】

- 11 位相比較器
- 12 ループフィルタ
- 13 入力設定手段
- 14 電圧-電流変換器
- 15 リングオシレータ(リング発振器)
- 16 1/N分周器
- 17 周波数引込手段
- 18 周波数調整回路
- 19 リングオシレータ段数モニタ
- 20 基準電圧発生回路
- 150 シフトレジスタ
- 151 電流一定のインバータ
- 161 1/8分周器

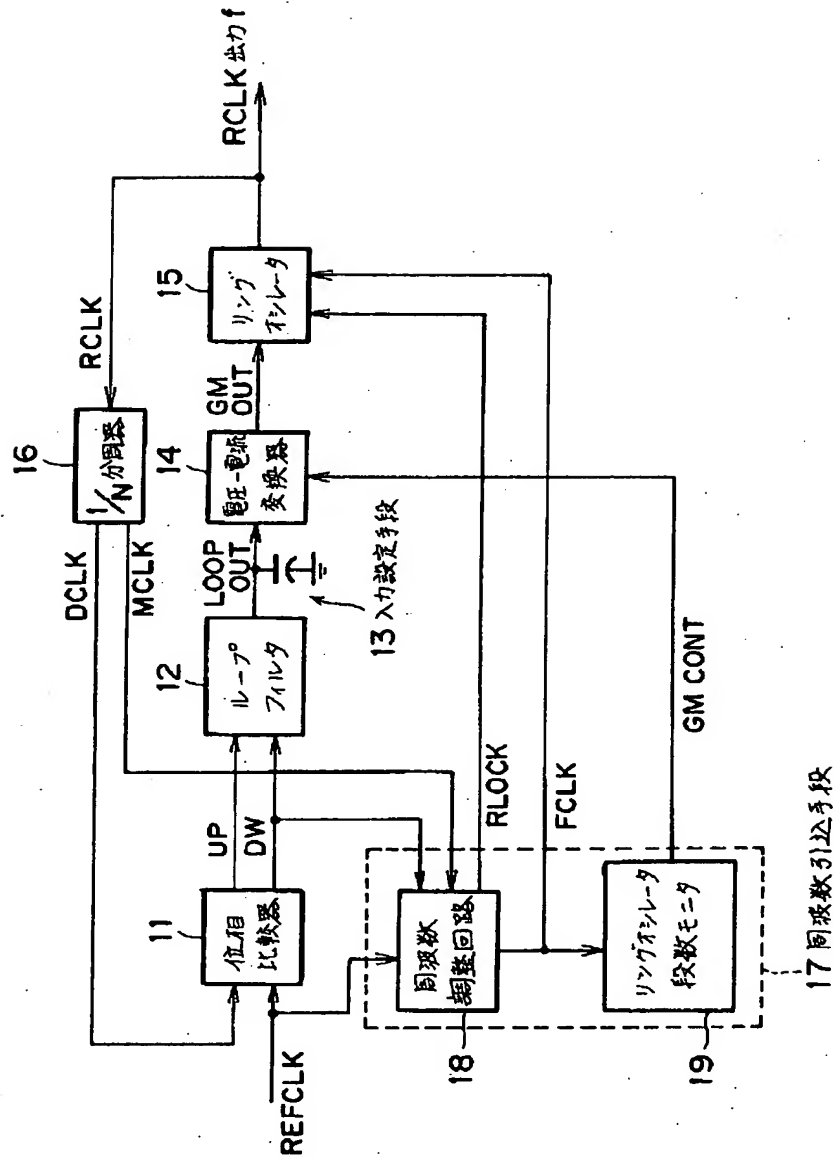
162 1/4分周器

\* 182 DW8カウントブロック

181 REFCLK 32カウントブロック

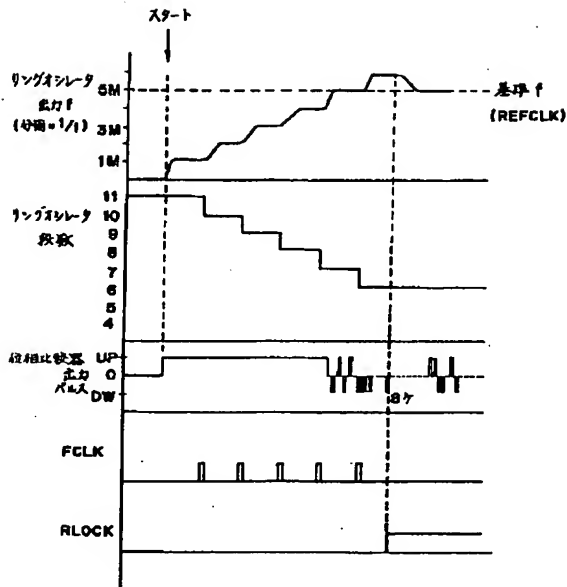
\* 191 4ビットカウンタ

【図1】

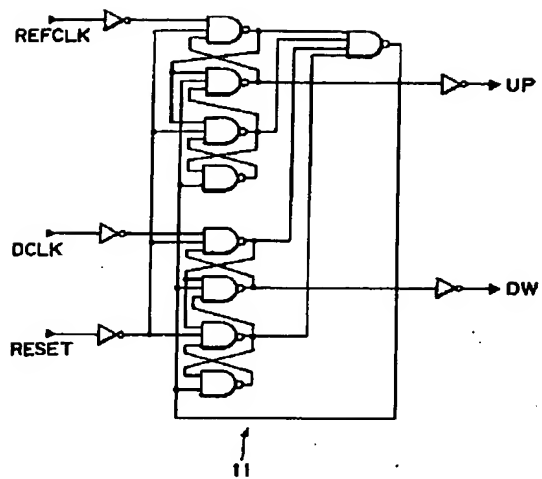




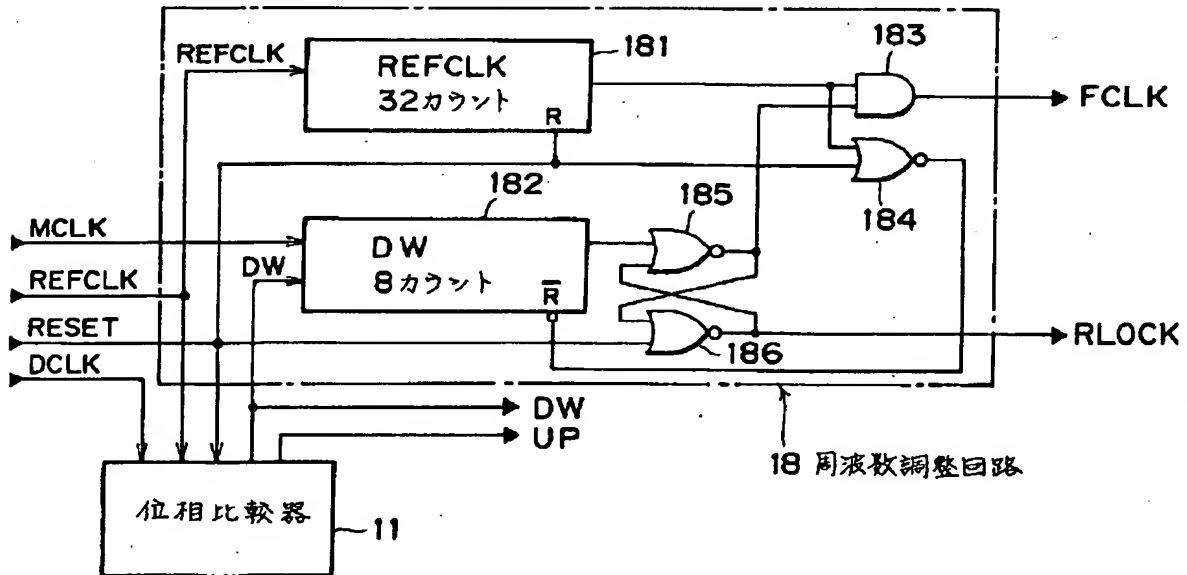
【図2】



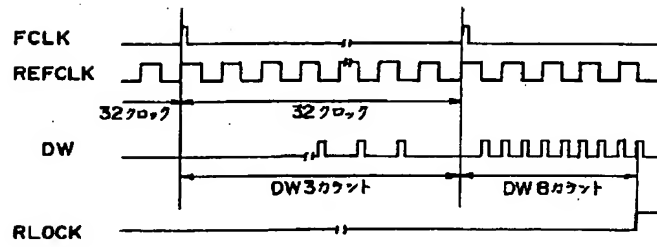
【図3】



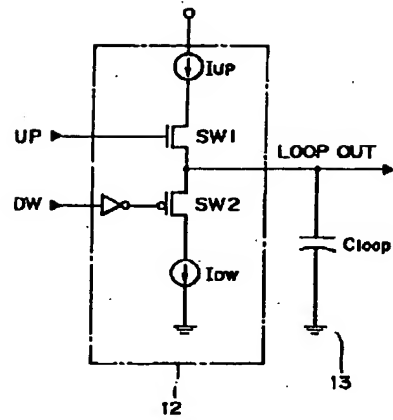
【図4】



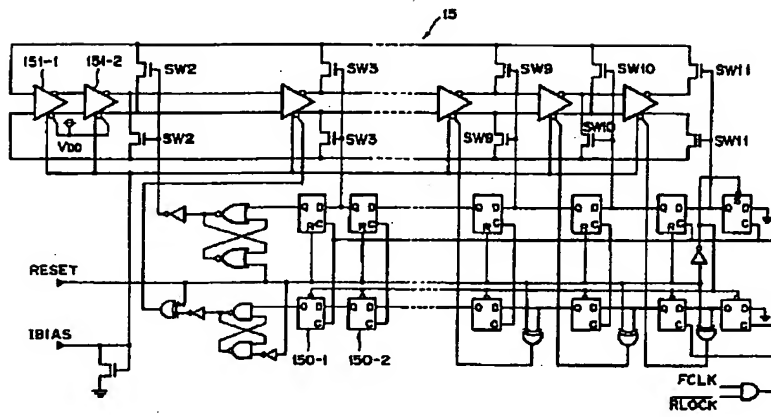
【図5】



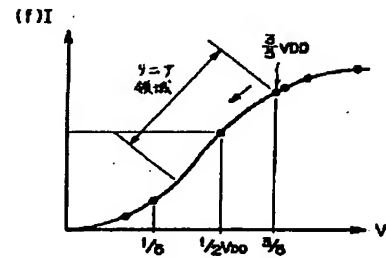
【図6】



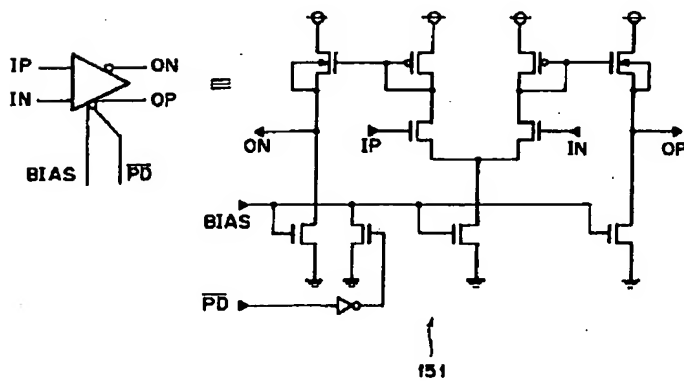
【図7】



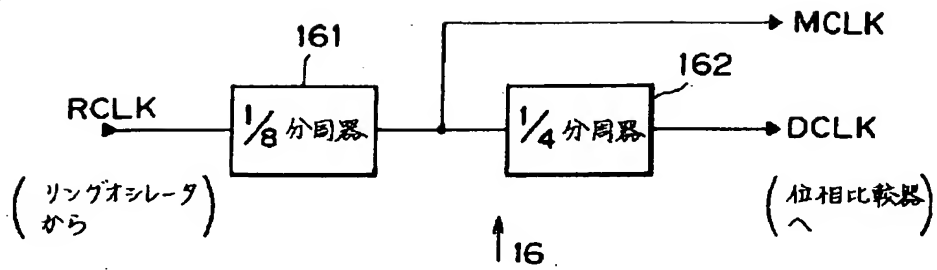
【図11】



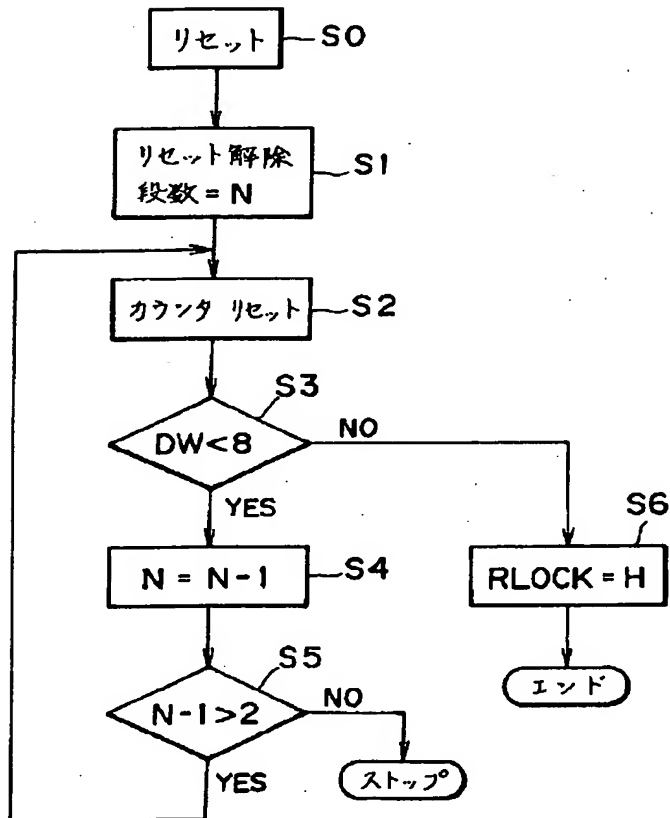
【図8】



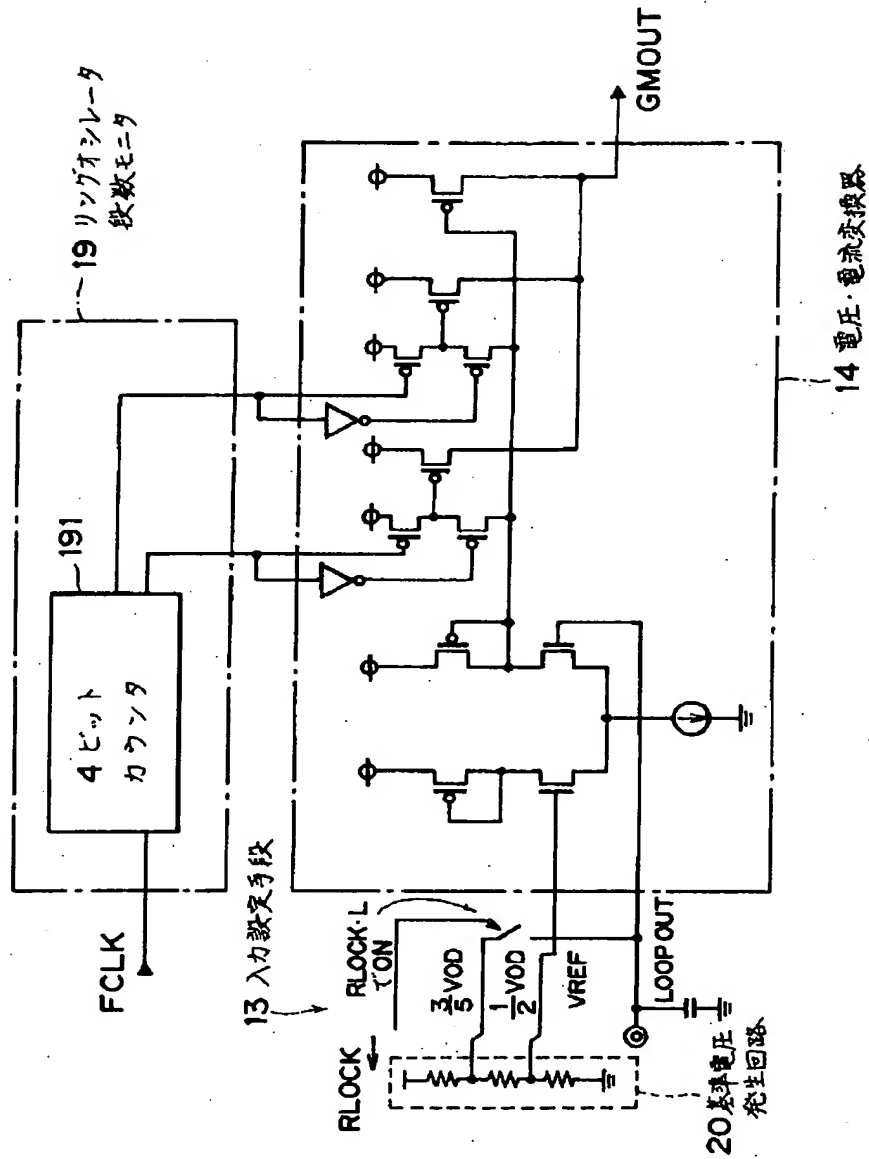
【図9】



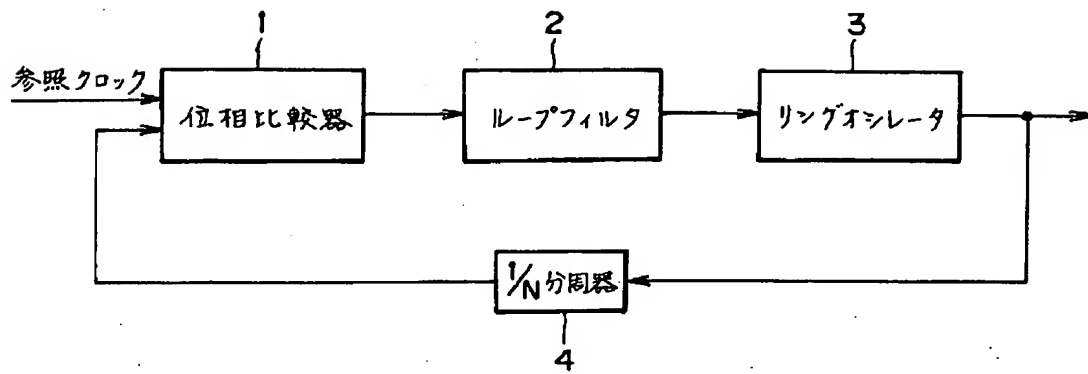
【図12】



【圖10】



【図13】



---

フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H03L 7/099

識別記号

庁内整理番号

F I

技術表示箇所